

[0040] "Planar and sectional structures of vicinity of a drive IC chip mounting portion"

Fig. 5 is a planar view illustrating a state where a drive IC is mounted on a transparent insulating substrate SUB1 made of, for example, glass. Fig. 6 is a sectional view thereof cut along A-A cutting line. In Fig. 5, a transparent insulating substrate SUB2 is denoted by a dashed line. The transparent insulating substrate SUB2 is disposed over the transparent insulating substrate SUB1 in an overlapping manner, and seals liquid crystal LC including an effective display unit (effective screen area) AR using a seal pattern SL. An electrode COM on the transparent insulating substrate SUB1 is a wiring for the electrical connection to a common electrode pattern on the side of the transparent insulating substrate SUB2 via conductive beads or silver paste. A wiring DTM (or GTM) is a wiring for supply of an output signal from the drive IC to a wiring in the effective display unit AR. An input wiring Td is a wiring for supply of an input signal to the drive IC. An anisotropic conductive film ACF separately bonds an ACF2 having a thin and long shape in common with a plurality of drive IC portions layoutted in one line and an ACF1 having a thin and long shape in common with input wiring pattern portions for the plurality of drive IC portions. Passivation films (protective film) PSV1, and PSV, which are illustrated in Fig. 6, coat as much of the wiring portions as possible in order to prevent electric erosion, and exposed portions are covered with the anisotropic conductive film ACF1.

2/24

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-329796

(43) 公開日 平成9年(1997)12月22日

(51) Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
G 0 2 F	1/1345		G 0 2 F	1/1345
	1/13	1 0 1		1/13
				1 0 1

審査請求 未請求 請求項の数 6 O L (全 10 頁)

(21) 出願番号 特願平8-146912

(22) 出願日 平成8年(1996)6月10日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233088

日立デバイスエンジニアリング株式会社

千葉県茂原市早野3681番地

(72) 発明者 廣島 實

千葉県茂原市早野3300番地 株式会社日立

製作所電子デバイス事業部内

(72) 発明者 磯田 高志

千葉県茂原市早野3681番地 日立デバイス

エンジニアリング株式会社内

(74) 代理人 弁理士 中村 純之助

最終頁に続く

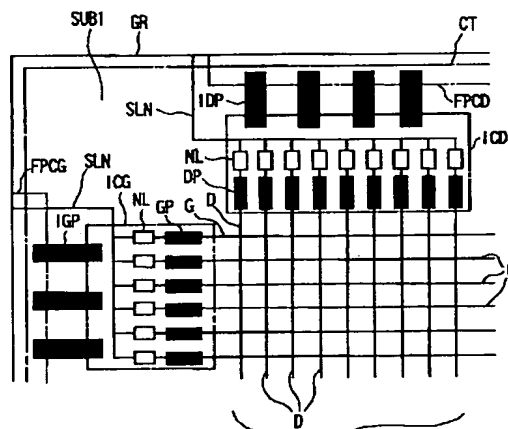
(54) 【発明の名称】 液晶表示基板

(57) 【要約】

【課題】 チップオンガラス方式のアクティブマトリクス基板を静電気から保護し、かつ、該基板の電氣的欠陥検査を可能とする静電気保護回路を有する液晶表示基板を提供する。

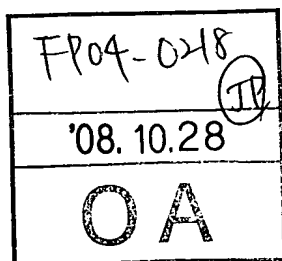
【解決手段】 ゲート線G、ドレイン線Dのそれぞれに、接続端子GP、DPと入力端子IGP、IDPとの間に配置された非線形抵抗素子NLが電氣的に接続され、駆動用IC(ICG、ICD)毎に、複数の非線形抵抗素子NLが短絡配線SLNにより電氣的に共通に接続され、さらに、短絡配線SLNを介して表示領域の外側の外周部に設けたガードリングGRと電氣的に接続されている。

図 1



SUB1...液晶表示基板  
G...ゲート線  
GP...ゲート線の接続端子  
CT...液晶表示基板の切断線  
NL...非線形抵抗素子  
SLN...短絡線  
ICG...ゲート線駆動用ICの位置  
FPCG...ゲート線駆動用フレキシブル配線基板の位置  
FPCD...ドレイン線駆動用フレキシブル配線基板の位置  
IGP...ゲート線駆動用ICへの入力端子  
IDP...ドレイン線駆動用ICへの入力端子

DA  
D...ドレイン線  
DP...ドレイン線の接続端子  
GR...ガードリング



## 【特許請求の範囲】

【請求項1】液晶層を介して互いに対向配置される液晶表示素子を構成する2枚の液晶表示基板のうち、一方の前記液晶表示基板の前記液晶層側の面上に、x方向に延在し、y方向に並設されたゲート線群と、このゲート線群と絶縁されてy方向に延在し、x方向に並設されたドレイン線群とが形成され、前記ゲート線群と前記ドレイン線群とが交差する領域によって表示領域が構成され、前記ゲート線と前記ドレイン線とで囲まれる領域にそれぞれ形成された薄膜トランジスタと画素電極とを有し、かつ、同一面上に駆動用ICを搭載するチップオンガラス方式の液晶表示基板において、  
10 前記ゲート線、前記ドレイン線の少なくとも一方のそれぞれに電気的に接続した非線形抵抗素子と、  
前記表示領域の外側の外周部に設けたガードリングと、  
前記ガードリングと前記各非線形抵抗素子とを電気的に接続した短絡線とを有し、かつ、  
前記各非線形抵抗素子を、前記各ゲート線もしくは前記各ドレイン線の接続端子と、前記駆動用ICへの入力端子との間に配置したことを特徴とする液晶表示基板。

【請求項2】液晶層を介して互いに対向配置される液晶表示素子を構成する2枚の液晶表示基板のうち、一方の前記液晶表示基板の前記液晶層側の面上に、x方向に延在し、y方向に並設されたゲート線群と、このゲート線群と絶縁されてy方向に延在し、x方向に並設されたドレイン線群とが形成され、前記ゲート線群と前記ドレイン線群とが交差する領域によって表示領域が構成され、前記ゲート線と前記ドレイン線とで囲まれる領域にそれぞれ形成された薄膜トランジスタと画素電極とを有し、かつ、同一面上に駆動用ICを搭載するチップオンガラス方式の液晶表示基板において、  
30 前記ゲート線、前記ドレイン線の少なくとも一方のそれぞれに電気的に接続した非線形抵抗素子と、  
前記表示領域の外側の外周部に設けたガードリングと、  
前記ガードリングと複数の前記非線形抵抗素子とを電気的に共通に接続した短絡線とを有することを特徴とする液晶表示基板。

【請求項3】前記各非線形抵抗素子を、前記各ゲート線もしくは前記各ドレイン線の接続端子と、前記駆動用ICへの入力端子との間に配置したことを特徴とする請求項2記載の液晶表示基板。

【請求項4】前記ガードリングと複数の前記非線形抵抗素子とを前記短絡線により電気的に共通に接続するの  
に、前記駆動用IC毎に接続したことを特徴とする請求項2記載の液晶表示基板。

【請求項5】前記各非線形抵抗素子を、前記各ゲート線もしくは前記各ドレイン線の接続端子に対して、前記表示領域を間に挟んでそれぞれ反対側に配置したことを特徴とする請求項2記載の液晶表示基板。

【請求項6】液晶層を介して互いに対向配置される液晶

表示素子を構成する2枚の液晶表示基板のうち、一方の前記液晶表示基板の前記液晶層側の面上に、x方向に延在し、y方向に並設されたゲート線群と、このゲート線群と絶縁されてy方向に延在し、x方向に並設されたドレイン線群とが形成され、前記ゲート線群と前記ドレイン線群とが交差する領域によって表示領域が構成され、前記ゲート線と前記ドレイン線とで囲まれる領域にそれぞれ形成された薄膜トランジスタと画素電極とを有し、かつ、同一面上に駆動用ICを搭載するチップオンガラス方式の液晶表示基板において、  
前記ゲート線、前記ドレイン線の少なくとも一方のそれぞれに電気的に接続した非線形抵抗素子と、  
前記表示領域の外側の外周部に設けたガードリングと、  
前記ガードリングと前記各非線形抵抗素子とを電気的に接続した短絡線とを有し、かつ、  
前記各非線形抵抗素子を、前記各ゲート線もしくは前記各ドレイン線の接続端子に対して、前記表示領域を間に挟んでそれぞれ反対側に配置したことを特徴とする液晶表示基板。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、チップオンガラス方式の液晶表示素子を構成する液晶表示基板に係り、特に、該液晶表示基板の静電気保護の回路構成に関する。

## 【0002】

【従来の技術】例えばアクティブマトリクス方式の液晶表示装置の液晶表示素子（すなわち、液晶表示パネル）では、液晶層を介して互いに対向配置されるガラス等からなる2枚の透明絶縁基板のうち、その一方のガラス基板（すなわち、液晶表示基板、もしくはアクティブマトリクス基板）の液晶層側の面に、そのx方向に延在し、y方向に並設されるゲート線群と、このゲート線群と絶縁されてy方向に延在し、x方向に並設されるドレイン線群とが形成されている。

【0003】これらのゲート線群とドレイン線群とで囲まれた各領域がそれぞれ画素領域となり、この画素領域にスイッチング素子として例えば薄膜トランジスタ（TFT）と透明画素電極とが形成されている。なお、薄膜トランジスタのゲート電極はゲート線に、ドレイン電極はドレイン線に、ソース電極は透明画素電極にそれぞれ接続されている。

【0004】このような構成において、ゲート線に走査信号が供給されることにより、薄膜トランジスタがオンされ、このオンされた薄膜トランジスタを介してドレイン線からの映像信号が画素電極に供給される。

【0005】なお、ゲート線群の各ゲート線と、ドレイン線群の各ドレイン線とは、それぞれ透明絶縁基板の周辺にまで延在されて外部端子を構成し、この外部端子にそれぞれ接続されて映像駆動回路、ゲート走査駆動回路、すなわち、これらを構成する複数個の駆動用IC

(半導体集積回路)が該透明絶縁基板の周辺に外付けされるようになっている。つまり、これらの各駆動用ICを搭載したテープキャリアパッケージ(TCP)を基板の周辺に複数個外付けする。

【0006】しかし、このように透明絶縁基板は、その周辺に駆動用ICが搭載されたTCPが外付けされる構成となっているので、これらの回路によって、透明絶縁基板のゲート線群とドレイン線群との交差領域によって構成される表示領域の輪郭と、該透明絶縁基板の外枠の輪郭との間の領域(通常、額縁と称している)の占める面積が大きくなってしまい、液晶表示モジュールの外形寸法を小さくしたいという要望に反する。

【0007】それゆえ、このような問題を少しでも解消するために、すなわち、液晶表示素子の高密度化と液晶表示モジュールの外形をできる限り縮小したいとの要求から、TCP部品を使用せず、映像駆動用ICおよびゲート走査駆動用ICを透明絶縁基板上に直接搭載する構成が提案された。このような実装方式をフリップチップ方式、あるいはチップオンガラス(COG)方式という。

【0008】また、公知例ではないが、チップオンガラス方式の液晶表示装置に関しては、同一出願人であるが、モジュール実装方法について先願がある(特願平6-256426号)。

【0009】

【発明が解決しようとする課題】ゲート線、ドレイン線、薄膜トランジスタ等を形成した液晶表示基板の製造においては、製造工程中に外部から侵入したり、該基板上で発生する静電気によって、薄膜トランジスタのしきい値電圧 $V_{th}$ の変動による表示むらの発生、薄膜トランジスタの破損、ゲート線とドレイン線との絶縁膜を介する交差部における短絡等の不良が発生する問題がある。これは、静電気によりゲート線とドレイン線との間に高電圧が発生するためであり、通常、該基板を静電気から保護し、さらに該基板の電氣的欠陥の検査を可能とするために、静電気保護回路が該基板の表示領域の外側に形成される。

【0010】図10は、従来のアクティブマトリクス基板の静電気保護回路の概略構成を示す図である。同図において、SUB1は液晶表示基板、Gはゲート線、Dはドレイン線、GPはゲート線の接続端子、DPはドレイン線の接続端子、CTは液晶表示基板の切断線、NLは非線形抵抗素子、GRは表示領域の外側の外周部に設けたガードリング、SLNは非線形抵抗素子NLとガードリングGRとを電氣的に接続する短絡線である。

【0011】液晶表示基板SUB1の面上には、複数のゲート線Gがx方向に延在し、y方向に並設され、また、複数のドレイン線Dが各ゲート線Gと絶縁されてy方向に延在し、x方向に並設されている。複数のゲート線Gと複数のドレイン線Dとが交差する領域によって表

示領域が構成される。ゲート線Gとドレイン線Dとで囲まれる領域に、図示しないスイッチング素子としての薄膜トランジスタと、液晶に電界を加える画素電極とがそれぞれ形成されている。薄膜トランジスタのソース電極は、画素電極に接続され、該画素電極は2次元状に配列され、表示画素を構成する。表示領域の外側にある接続端子GP、DPは、それぞれゲート線G、ドレイン線Dと外部駆動電気回路と接続するための外部接続端子である。接続端子GP、DPの外側に配置される非線形抵抗素子NL、短絡線SLN、ガードリングGRにより、前記静電気保護回路が構成される。すなわち、配線に侵入した静電気は、接続端子GPもしくはDPとガードリングGRとの間に設けられた非線形抵抗素子NLを通してガードリングGRの方へ放電され、ここで吸収される。ガードリングGRはショートバーとも呼ばれ、表示領域の外周部を囲むように設けられた配線であり、静電気が基板SUB1上の配線に侵入した場合、静電気(すなわち電荷)を分散、吸収し、ゲート線Gとドレイン線Dの間の電圧を緩和して、前述の静電気による破壊等を防止する。

【0012】また、液晶表示基板SUB1は、切断線CTの箇所で最終的に切断される。したがって、該切断線CTの外側にある非線形抵抗素子NLとガードリングGRは、切断により切り落される。

【0013】なお、薄膜トランジスタの形成工程完了時点での液晶表示基板の不良を、点欠陥レベルで検査することのできるアレイテストが開発されている。アレイテストの検査方法は、液晶表示基板を通常の表示に近い状態に駆動させ、画素電極に信号電荷を書き込み、一定時間後に画素電極に蓄積残存している信号電荷を読み出し、その読み出し信号を分析することにより、各画素部の欠陥の有無を検査する。このときの読み出し信号は微小であり、検出回路の入力インピーダンスが高いので、前記短絡配線が形成してあると、検査することができない。このため、各ゲート線G、各ドレイン線DとガードリングGRとを、それぞれ例えば $10^6\Omega$ と充分高い抵抗を有する双方向TFTダイオード、MIM素子等の非線形抵抗素子NLを介して接続することにより、検査が可能となっている。

【0014】図10に示した従来例に対して、ゲート線およびドレイン線の端子部の構成が異なる駆動用ICを液晶表示基板上に直接搭載する前述のチップオンガラス方式がある。

【0015】図11は、従来のチップオンガラス方式のアクティブマトリクス基板の静電気保護回路の概略構成の要部を示す図である。同図において、図10と同じ符号を付したものは同じものを示す。図11において、ICG、ICD、FPCG、FPCDはそれぞれ当該液晶表示基板SUB1を用いて液晶表示素子を完成させた後に、実装される部品の設置位置を示す。すなわち、IC

10

20

30

40

50

Gはゲート線駆動用ICが実装される位置、ICDはドレイン線駆動用ICが実装される位置、FPCGはゲート線駆動用IC(ICG)に外部から動作信号を入力するフレキシブル配線基板が実装される位置、FPCDはドレイン線駆動用IC(ICD)に外部から動作信号を入力するフレキシブル配線基板が実装される位置、IPGはフレキシブル配線基板(FPCG)の出力端子および駆動用IC(ICG)の入力パンプが接続される入力端子、IPDはフレキシブル配線基板(FPCD)の出力端子および駆動用IC(ICD)の入力パンプが接続される入力端子である。

【0016】チップオンガラス方式では、ゲート線Gおよびドレイン線Dを駆動する外部駆動回路、すなわち駆動用ICが液晶表示基板SUB1の上に直付けする構成を採る。ゲート線駆動用IC(ICG)下面にもうけられた各電極パンプは、入力端子IGPと接続端子GPに接続され、ドレイン線駆動用IC(ICD)下面にもうけられた各電極パンプは、入力端子IPDと接続端子DPに接続される。駆動用IC(ICG、ICD)の取り付け後に、さらに、入力端子IGPもしくはIPDに外部から動作信号を与えるために、フレキシブル配線基板(FPCG、FPCD)が取り付けられる。したがって、ゲート線Gの接続端子GPと入力端子IPG、およびドレイン線の接続端子DPと入力端子IPDとは、各駆動用IC(ICG、ICD)の辺に沿って該辺と直角方向に、それぞれ平行に隣合って配置されている。また、液晶表示基板SUB1の切断線CTは、入力端子IPG、IPDの外側に設けられ、さらにその外側にガードリングGRを設けた構成になっている。

【0017】このような構成の基板SUB1を、静電気から保護し、かつ、電気的欠陥検査を可能とするために、図10で例示したような静電気保護回路を該基板SUB1面上の表示領域の外側に形成する必要がある。すなわち、ゲート線Gやドレイン線Dに侵入した静電気をガードリングGRの方へ放電するための非線形抵抗素子NLを、ゲート線Gの接続端子GPもしくはドレイン線Dの接続端子DPと、ガードリングGRとの間に設ける必要がある。

【0018】しかし、図11に示したチップオンガラス方式の基板SUB1では、接続端子GP、DPとガードリングGRとの間に、駆動用IC(ICG、ICD)に信号を入力するための入力端子IPG、IPDが存在している。非線形抵抗素子NLを図10に示すように各接続端子GP、DP毎に接続導入するには、この入力端子IPG、IPDが邪魔となり、非線形抵抗素子NLを配置できない。

【0019】本発明の目的は、チップオンガラス方式のアクティブマトリクス基板を静電気から保護し、かつ、該基板の電気的欠陥検査を可能とする静電気保護回路を有する液晶表示基板を提供することにある。

#### 【0020】

【課題を解決するための手段】前記課題を解決するために、本発明は、液晶層を介して互いに対向配置される液晶表示素子を構成する2枚の液晶表示基板のうち、一方の前記液晶表示基板の前記液晶層側の面上に、x方向に延在し、y方向に並設されたゲート線群と、このゲート線群と絶縁されてy方向に延在し、x方向に並設されたドレイン線群とが形成され、前記ゲート線群と前記ドレイン線群とが交差する領域によって表示領域が構成され、前記ゲート線と前記ドレイン線とで囲まれる領域にそれぞれ形成された薄膜トランジスタと画素電極とを有し、かつ、同一面上に駆動用ICを搭載するチップオンガラス方式の液晶表示基板において、前記ゲート線、前記ドレイン線の少なくとも一方のそれぞれに電気的に接続した非線形抵抗素子と、前記表示領域の外側の外周部に設けたガードリングと、前記ガードリングと前記各非線形抵抗素子とを電気的に接続した短絡線とを有し、かつ、前記各非線形抵抗素子を、前記各ゲート線もしくは前記各ドレイン線の接続端子と、前記駆動用ICへの入力端子との間に配置したことを特徴とする。

【0021】また、前記ゲート線、前記ドレイン線の少なくとも一方のそれぞれに電気的に接続した非線形抵抗素子と、前記表示領域の外側の外周部に設けたガードリングと、前記ガードリングと複数の前記非線形抵抗素子とを電気的に共通に接続した短絡線とを有することを特徴とする。

【0022】また、前記ガードリングと複数の前記非線形抵抗素子とを前記短絡線により電気的に共通に接続するのに、前記駆動用IC毎に接続したことを特徴とする。

【0023】さらに、前記ゲート線、前記ドレイン線の少なくとも一方のそれぞれに電気的に接続した非線形抵抗素子と、前記表示領域の外側の外周部に設けたガードリングと、前記ガードリングと前記各非線形抵抗素子とを電気的に接続した短絡線とを有し、かつ、前記各非線形抵抗素子を、前記各ゲート線もしくは前記各ドレイン線の接続端子に対して、前記表示領域を間に挟んでそれぞれ反対側に配置したことを特徴とする。

【0024】本発明では、チップオンガラス方式のアクティブマトリクス基板において、各非線形抵抗素子を各ゲート線もしくは各ドレイン線の接続端子と、駆動用ICへの入力端子との間に配置するか、複数の非線形抵抗素子を電気的に接続する共通の短絡線を用いることにより、あるいは各非線形抵抗素子をゲート線、ドレイン線の接続端子と反対側に配置することにより、従来、駆動用ICへの入力端子が邪魔になって配置できなかった非線形抵抗素子を配置することができ、該基板を静電気から保護し、かつ、該基板の電気的欠陥検査を可能とする静電気保護回路を有する液晶表示基板を提供することができる。

## 【0025】

【発明の実施の形態】以下、図面を用いて本発明の実施の形態について詳細に説明する。なお、以下で説明する図面で、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

## 【0026】《静電気保護回路》

## 実施の形態1

図1は、本発明の実施の形態1を示すチップオンガラス方式のアクティブマトリクス基板の静電気保護回路の概略構成の要部を示す図である。本実施の形態では、図1に示すように、ゲート線G、ドレイン線Dに非線形抵抗素子NLがそれぞれ電気的に接続され、駆動用IC（ICG、ICD）毎に、複数の非線形抵抗素子NLが短絡配線SLNにより電気的に共通に接続され、さらに、この共通の短絡配線SLNを介して表示領域の外側の外周部に設けたガードリングGRと電気的に接続されている。非線形抵抗素子NLは、各ゲート線Gの接続端子GPと駆動用IC（ICG）への入力端子IGPとの間、および各ドレイン線Dの接続端子DPと駆動用IC（ICD）への入力端子IDPとの間に配置されている。

【0027】液晶表示基板SUB1の面上には、複数のゲート線Gがx方向に延在し、y方向に並設され、また、複数のドレイン線Dが各ゲート線Gと絶縁されてy方向に延在し、x方向に並設されている。複数のゲート線Gと複数のドレイン線Dとが交差する領域によって表示領域が構成される。ゲート線Gとドレイン線Dとで囲まれる領域に、図示しないスイッチング素子としての薄膜トランジスタと、液晶に電界を加える画素電極とがそれぞれ形成されている。薄膜トランジスタのソース電極は、画素電極に接続され、該画素電極は2次元状に配列され、表示画素を構成する。表示領域の外側にある接続端子GP、DPは、それぞれゲート線G、ドレイン線Dと外部駆動電気回路と接続するための端子である。接続端子GP、DPの外側に配置される非線形抵抗素子NL、ガードリングGR、および短絡線SLにより、静電気保護回路が構成される。

【0028】すなわち、接続端子GP、DPと入力端子IDP、IGPとの間にそれぞれ配置され、ゲート線Gやドレイン線Dに侵入した静電気をガードリングGRの方へ放電するための非線形抵抗素子NLは、駆動用IC（ICG、ICD）単位に、1本の短絡線SLNにより共通に接続され、該短絡線SLNは切断線CTの外側でガードリングGRに接続される。ガードリング（ショートバー）GRは、表示領域の外周部を囲むように設けられた配線であり、静電気が基板SUB1上の配線に侵入した場合、静電気（すなわち電荷）を分散、吸収する。したがって、ゲート線Gやドレイン線Dに侵入した静電気は、非線形抵抗素子NL、駆動用ICごとの共通の短絡線SLNを介してガードリングGRに拡散、吸収され、ゲート線Gとドレイン線Dの間の電圧を緩和して、

静電気による破壊等を防止する。このような構成の静電気保護回路により、チップオンガラス方式の基板SUB1を静電気から保護すると共に、基板の電気的欠陥検査を可能とすることができる。

【0029】図3（a）、（b）は、非線形抵抗素子NLとして使用される双方向TFTダイオードの回路構成図である。（a）には双方向ダイオードを示し、（b）にはその双方向ダイオードの具体的構成としての2端子動作薄膜トランスタを示す。（a）、（b）に示すように、例えば2個の2端子動作薄膜トランスタで構成されるダイオードを互いに逆向きに並列に配置して、非線形な電流－電圧特性を有する非線形抵抗素子NLを構成し、配線に静電気が侵入した場合、静電気を双方向にガードリングGRの方へ放電するようになっている。なお、双方向TFTダイオードの代わりに、MIM素子等を用いてもよいことはもちろんである。

【0030】従来、図11に例示したチップオンガラス方式のアクティブマトリクス基板SUB1では、接続端子GP、DPとガードリングGRとの間に、駆動用IC（ICG、ICD）に信号を入力するための入力端子IPG、IPDが存在するため、非線形抵抗素子NLを各接続端子GP、DP毎に接続導入するには、この入力端子IPG、IPDが邪魔となり、非線形抵抗素子NLを配置できなかったが、本実施の形態では、非線形抵抗素子NLを接続端子GP、DPと入力端子IDP、IGPとの間に配置し、また、共通の短絡線SLNを用いることにより、非線形抵抗素子NLを配置できた。したがって、チップオンガラス方式のアクティブマトリクス基板SUB1を静電気から保護し、かつ、該基板の電気的欠陥検査を可能とする静電気保護回路を有する液晶表示基板を提供できる。

【0031】なお、非線形抵抗素子NLを、接続端子GP、DPに対して、表示領域を間に挟んでそれぞれ反対側に配置してもよい（図2参照）。

【0032】図4（a）は、液晶表示基板と電気式アレイテスタの測定系の回路構成図、（b）は液晶表示基板の接続端子にアレイテスタのプロープを当てて検査する様子を示す該液晶表示基板の概略斜視図である。（a）において、TFTは薄膜トランジスタ、ITO1は画素電極、Pは検査用プロープ（針）である。アレイテスタは、例えば、書き込み→保持→読み出しサイクルからなり、積分回路により保持容量Caddに蓄積された電荷量を計測し、その量で欠陥の有無を判断する。また、読み出し電荷量の各種電圧、タイミング依存性により欠陥モードの解析が可能となっている。アレイテストの際は、すべての接続端子に同時にプロープPを当て、画素を動作させる。動作状態の良否により、画素の欠陥を検出する。したがって、各ゲート線G間や各ドレイン線D間が抵抗体で結合していると、電流が混合して検出不能となるが、抵抗体の抵抗値が高ければよい。本発明に

よる双方向TFTダイオードによる抵抗体は、 $R=1 \times 10^6 \Omega$ と十分に高い抵抗である。

#### 【0033】実施の形態2

前記で触れた図2は、本発明の実施の形態2を示すチップオンガラス方式のアクティブマトリクス基板の静電気保護回路の概略構成を示す図である。なお、本図では、ゲート線およびドレイン線駆動用IC(ICG、ICD)、フレキシブル配線基板(FPCG、FPCD)がそれぞれ1個しか示されていないが、実際はそれぞれ所定の数設けられることは言うまでもない。

【0034】前述のように、チップオンガラス方式では、非線形抵抗素子NLを各接続端子GP、DP毎に配置する際、入力端子IPG、IPDが邪魔となるので、本実施の形態では、図2に示すように、各非線形抵抗素子NLを、各ゲート線Gの接続端子GP、各ドレイン線Dの接続端子DPに対して、表示領域に間に挟んでそれぞれ反対側に配置した。各非線形抵抗素子NLは、それぞれ短絡線SLNを介してガードリングGRに接続されている。これにより、ゲート線Gやドレイン線Dに侵入した静電気は、非線形抵抗素子NL、短絡線SLNを介してガードリングGRに拡散、吸収され、静電気による破壊等が防止できる。

【0035】《液晶表示モジュールの全体構成》図8は、液晶表示モジュールMDLの分解斜視図である。

【0036】SHDは金属板から成るシールドケース(メタルフレームとも称す)、WDは表示窓、SPC1~4は絶縁スペーサ、FPC1、2は折り曲げられた多層フレキシブル回路基板(FPC1はゲート側回路基板、FPC2はドレイン側回路基板)、PCBはインターフェイス回路基板、ASBはアセンブルされた駆動回路基板付き液晶表示素子、PNLは重ね合わせた2枚の透明絶縁基板の一方の基板上に駆動用ICを搭載した液晶表示素子(液晶表示パネルとも称す)、GC1およびGC2はゴムクッション、PRSはプリズムシート(2枚)、SPSは拡散シート、GLBは導光板、RFSは反射シート、MCAは一体成型により形成された下側ケース(モールドケース)、LPは蛍光管、LPCはランプケーブル、LCTはインバータ用の接続コネクタ、GBは蛍光管LPを支持するゴムブッシュであり、図に示すような上下の配置関係で各部材が積み重ねられて液晶表示モジュールMDLが組み立てられる。

【0037】《液晶表示モジュールMDLを実装した情報処理》図9は、それぞれ液晶表示モジュールMDLを実装したノートブック型のパソコン、あるいはワープロの斜視図である。インバータIVを、表示部、すなわち、液晶表示モジュールMDLのインバータ収納部MIに配置した場合を示す。

【0038】駆動ICの液晶表示素子PNL上へのCOG実装と外周部のドレインおよびゲートドライバ用周辺回路として多層フレキシブル基板を採用し、ドレインド

ライバ用回路に折り曲げ実装を採用することで、従来に比べ大幅に外形サイズ縮小ができる。本例では、片側実装されたドレインドライバ用周辺回路を情報機器のヒンジ上方の表示部の上側に配置できるため、コンパクトな実装が可能となった。

【0039】情報機器からの信号は、まず、図では、左側のインターフェイス基板PCBのほぼ中央に位置するコネクタから表示制御集積回路素子(TCON)へ行き、ここでデータ変換された表示データが、ドレインドライバ用周辺回路へ流れる。このように、フリップチップ方式と多層フレキシブル基板とを使用することで、情報機器の横幅の外形の制約が解消でき、小型で低消費電力の情報機器を提供できた。

【0040】《駆動用ICチップ搭載部近傍の平面および断面構成》図5は、例えばガラスからなる透明絶縁基板SUB1上に駆動用ICを搭載した様子を示す平面図である。さらに、A-A切断線における断面図を図6に示す。図5において、一方の透明絶縁基板SUB2は、一点鎖線で示すが、透明絶縁基板SUB1の上方に重なって位置し、シールパターンSLにより、有効表示部(有効画面エリア)ARを含んで液晶LCを封入している。透明絶縁基板SUB1上の電極COMは、導電ペーストや銀ペースト等を介して、透明絶縁基板SUB2側の共通電極パターンに電気的に接続させる配線である。配線DTM(あるいはGTM)は、駆動用ICからの出力信号を有効表示部AR内の配線に供給するものである。入力配線Tdは、駆動用ICへ入力信号を供給するものである。異方性導電膜ACFは、一列に並んだ複数の駆動用IC部分に共通して細長い形状となったものACF2と上記複数の駆動用ICへの入力配線パターン部分に共通して細長い形状となったものACF1を別々に貼り付ける。パッシベーション膜(保護膜)PSV1、PSVは、図6にも示すが、電食防止のため、できる限り配線部を被覆し、露出部分は、異方性導電膜ACF1にて覆うようにする。

【0041】さらに、駆動用ICの側面周辺は、エポキシ樹脂あるいはシリコーン樹脂SILが充填され、保護が多重化されている。

【0042】次に、フレキシブル基板折り曲げ実装方法につき説明する。

【0043】図7は、多層フレキシブル基板の折り曲げ実装方法を示す斜視図である。ドレインドライバ基板FPC2とゲートドライバ基板FPC1の接続は、ジョイナーとしてFPC2と一体のフレキシブル基板から成る凸部JT2の先端部に設けたフラットコネクタCT4を使用し、折り曲げて図8に示すインターフェイス基板PCBのコネクタCT2に電気的に接続する。

【0044】次に、フレキシブル基板FPC2の導体層部分FMLの部品実装が全くない面に両面テープを貼り、治具を使用して、導体層部分BNTにて折り曲げ

10

20

30

40

50

【図3】 (a)、(b)は、非線形抵抗素子NLとして

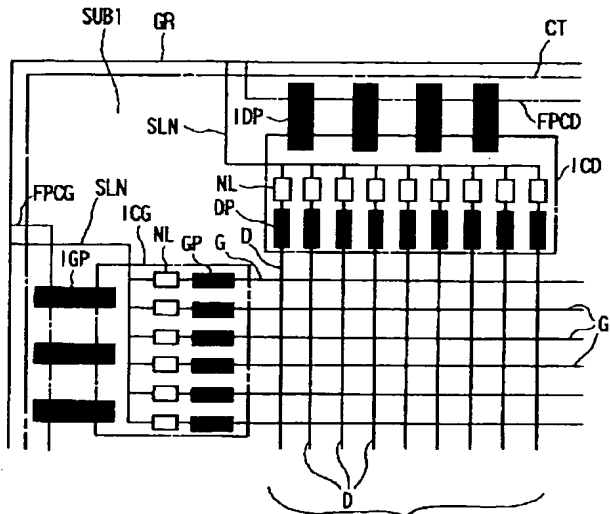
SUB1…液晶表示基板、G…ゲート線、D…ドレイン線、GP…ゲート線の接続端子、DP…ドレイン線の接続端子、CT…液晶表示基板の切断線、NL…非線形抵抗素子、GR…ガードリング、SLN…短絡線、ICG…ゲート線駆動用ICの位置、ICD…ドレイン線駆動用ICの位置、FPCG…ゲート線駆動用フレキシブル配線基板の位置、FPCD…ドレイン線駆動用フレキシブル配線基板の位置、IPG…ゲート線駆動用ICへの入力端子、IPD…ドレイン線駆動用ICへの入力端子。

[illegible]



【図1】

図 1

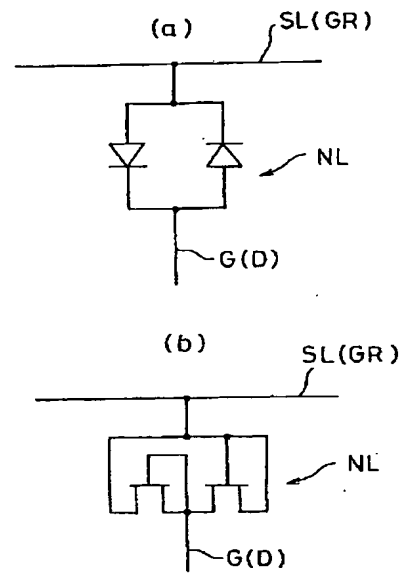


SUB1...液晶表示基板  
 G...ゲート線  
 GP...ゲート線の接続端子  
 CT...液晶表示基板の切断線  
 NL...非線形抵抗素子  
 SLN...短結線  
 ICG...ゲート線駆動用ICの位置  
 FPCG...ゲート線駆動用フレキシブル配線基板の位置  
 FPCD...ドレイン線駆動用フレキシブル配線基板の位置  
 IGP...ゲート線駆動用ICへの入力端子  
 IPD...ドレイン線駆動用ICへの入力端子

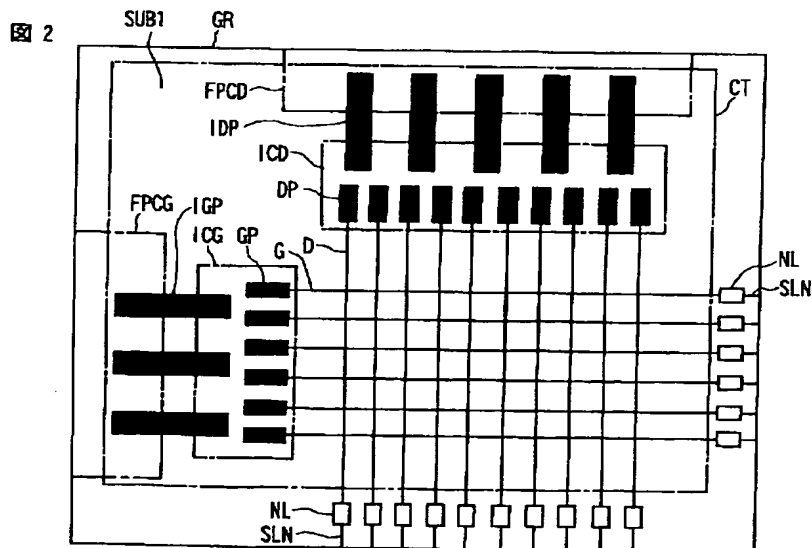
DA  
 D...ドレイン線  
 DP...ドレイン線の接続端子  
 GR...ガードリング

【図3】

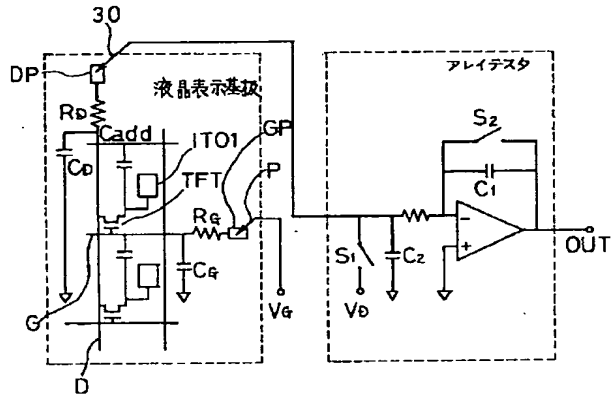
図 3



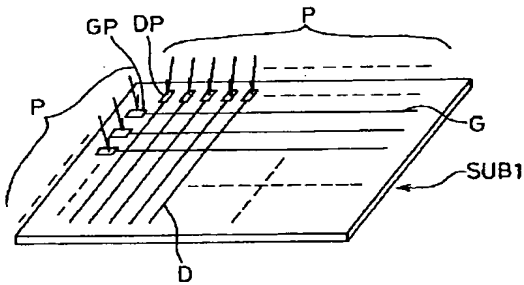
【図2】



【図4】

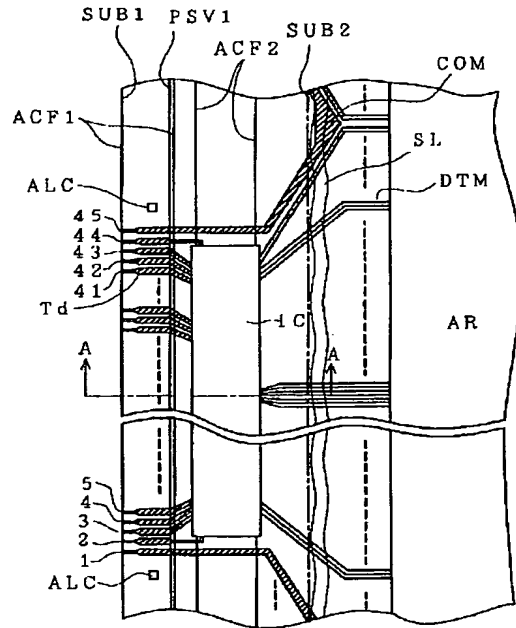
図4  
(a)

(b)



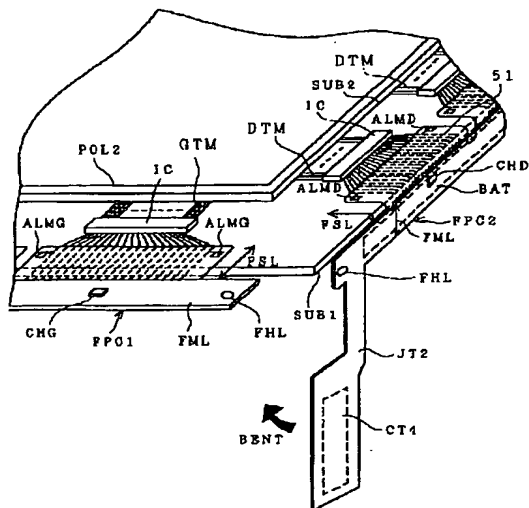
【図5】

図5



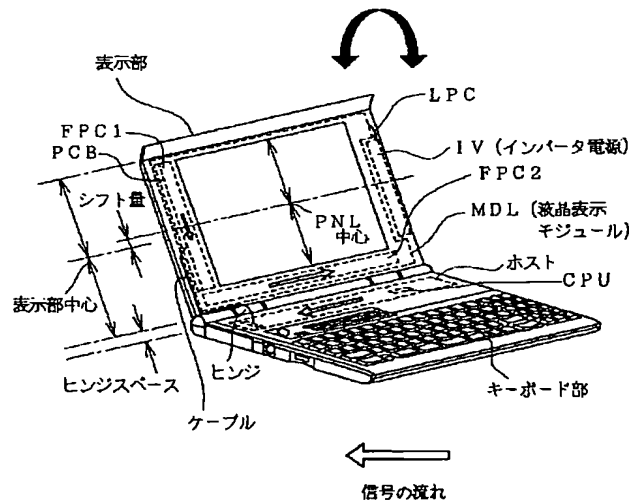
【図7】

図7

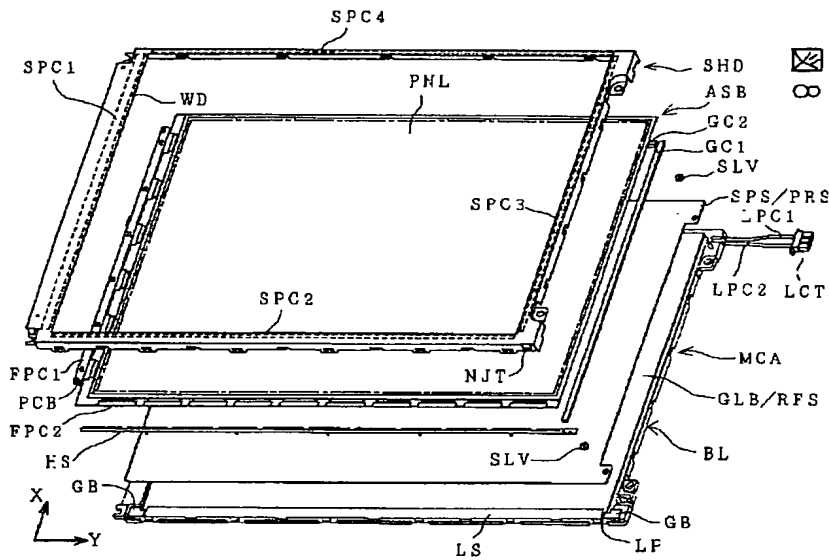


【図9】

図9

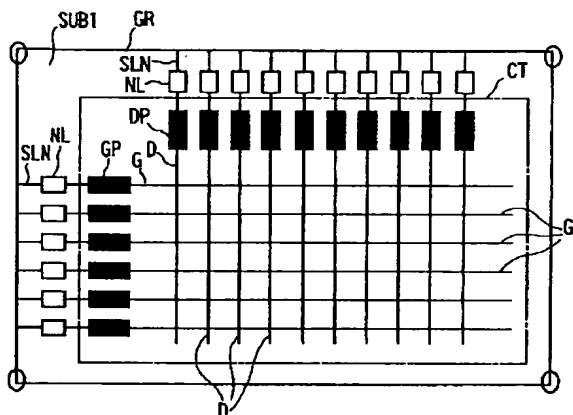


【図8】



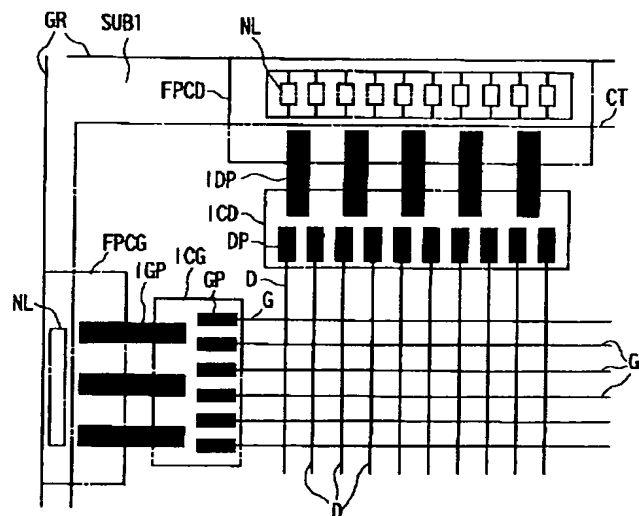
【図10】

図 10



【図11】

図 11



フロントページの続き

(72)発明者 中野 泰  
千葉県茂原市早野3300番地 株式会社日立  
製作所電子デバイス事業部内

(72)発明者 鈴木 雅彦  
千葉県茂原市早野3300番地 株式会社日立  
製作所電子デバイス事業部内

(72)発明者 扇一 公俊  
千葉県茂原市早野3300番地 株式会社日立  
製作所電子デバイス事業部内